

## LIQUID CRYSTAL DISPLAY DEVICE

Publication number: JP10301544

Publication date: 1998-11-13

Inventor: YOSHIDA TETSUYA; KOGA KOICHI

Applicant: NIPPON ELECTRIC CO; ROHM CO LTD

Classification:

- International: G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G09G3/36; G02F1/133

- European:

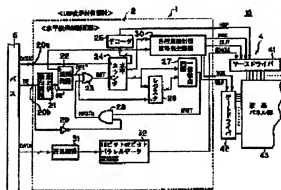
Application number: JP19970127975 19970501

Priority number(s): JP19970127975 19970501

Report a data error here

#### Abstract of JP10301544

**PROBLEM TO BE SOLVED:** To make various control signals for driving an LCD generated easily and to make a display screen hardly affected by the fluctuation of the period of a data enable signal by generating the driving pulse of the start of a horizontal display in accordance with the counted value of a counter. **SOLUTION:** A delay circuit 22, an AND gate 28 and an inverter 29 constitute a reset signal generating circuit resetting a horizontal counter 24 in a period when a data enable signal is not generated in accordance with the coincidence detection signal of a coincidence detecting circuit 27. The detecting of an coincidence is performed in accordance with the counted value stored in a register 26 even in a period when the data enable signal is not generated by providing this reset signal generating circuit and the counter can be reset by the reset signal generating circuit. As a result, the driving pulse of the start of the horizontal display can be generated even in the period when the data enable signal is not generated, that is, in the period of an interval from the display period or a certain screen is completed till a next screen display is started.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301544

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.<sup>4</sup>

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21) 出願番号 特願平9-127975

(22) 出願日 平成9年(1997)5月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 吉田 哲也

京都市右京区西院清崎町21番地 ローム株式会社内

(72) 発明者 古賀 弘一

東京都港区芝五丁目7番1号 日本電気株式会社内

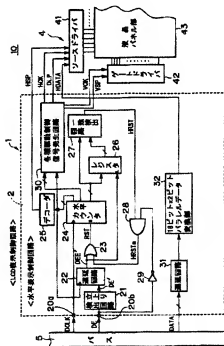
(74) 代理人 弁理士 梶山 佑是 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 プロセッサ側からのデータネーブル信号とドットクロックとに応じてLCD駆動のための各種制御信号を生成でき、データネーブル信号の期間の変動に影響を受け難い液晶表示装置を提供する。

【解決手段】 ドットクロックとデータネーブル信号とを受けて駆動信号を生成する液晶表示装置において、データネーブル信号の前縁を検出する検出回路21と、検出信号に応じてリセットされてデータネーブル信号の前縁から次の同信号の前縁までの期間のドットクロックをカウントするカウンタ24と、これがリセットされる手前でカウント値を記憶するレジスタ26と、これとカウンタのカウント値の一致を検出する一致検出回路27と、一致検出信号に応じてデータネーブル信号が発生しない期間においてのみカウンタをリセットするリセット信号を発生するリセット信号発生回路とを備える。



## 【特許請求の範囲】

【請求項 1】 ドットクロックと、表示データとともに発生するデータイネーブル信号とを受けて液晶表示パネルに対する駆動信号を生成する液晶表示装置において、データイネーブル信号の前縁を検出する検出回路と、この検出回路の検出信号に応じてリセットされて前記データイネーブル信号の前縁から次に発生する前記データイネーブル信号の前縁までの期間における前記ドットクロックをカウントするカウンタと、このカウンタがリセットされる手前でこのカウンタのカウント値を記憶するレジスタと、このレジスタのカウント値と前記カウンタのカウント値との一致を検出する一致検出回路と、この一致検出回路の一致検出信号に応じて前記データイネーブル信号が発生しない期間においてのみ前記カウンタをリセットするリセット信号を発生するリセット信号発生回路とを備え、前記カウンタのカウント値に応じて水平表示スタートの駆動パルスが生成される液晶表示装置。

【請求項 2】 さらに前記検出回路の検出信号を遅延する遅延回路を有し、前記カウンタは、この遅延回路の信号に応じてリセットされて前記データイネーブル信号の前縁から次に発生する前記データイネーブル信号の前縁までの期間における前記ドットクロックをカウントするものであり、前記遅延回路の遅延時間が前記データイネーブル信号についての前記カウンタ値の標準的な値とその最大値との差値よりも大きく設定され、前記リセット信号発生回路は、前記一致検出信号と前記データイネーブル信号を反転した信号とを受ける論理複回路であって、この論理複回路の出力が前記遅延回路の出力と論理和が採られて前記カウンタのリセット端子に送出される請求項 1 記載の液晶表示装置。

【請求項 3】 前記レジスタに記憶される前記カウンタ値が、画面表示期間における前記データイネーブル信号についての最大カウント値である請求項 2 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、液晶表示装置に関し、詳しくは、プログラムによる表示モードの設定に応じて発生するプロセッサ側からのデータイネーブル信号 (DE) とドットクロック (DCLK) とに応じて水平表示スタートの駆動パルス (HSP) を初めとして、LCD パネル駆動のための各種制御信号を生成することが容易にでき、データイネーブル信号の期間の変動が表示画面に影響を与えないような液晶表示装置に関する。

## 【0002】

【従来の技術】 近年、コンピュータの表示装置として、CRT ディスプレイとともにカラー液晶表示装置 (LCD) が一般化されているが、この種の LCD にあって

は、LCD パネルの電極駆動回路に水平表示スタートの駆動パルス等の駆動信号と表示データとを送出する表示制御回路が内蔵されている。この表示制御回路は、パーソナルコンピュータ本体に内蔵されたプロセッサ (あるいはメインコントローラ) からバス等を介して表示データ (DATA) とともに、表示データが有意であることを示すデータイネーブル信号とドットクロック、水平同期信号 (HSYC)、そして垂直同期信号 (VSYC) 等を受けて水平表示スタートの駆動パルス等の駆動信号を生成する。この種の表示制御回路としては、例えば、特開平 8-160922 号を挙げるができる。ところで、先のデータイネーブル信号は、水平同期信号が HIGH レベル (以下 "H") の期間の間 (水平同期信号と水平同期信号の間の確度信号の期間)、表示モードに応じてそのドットクロック数に対応する期間だけ有意になる信号であり、例えば、この期間の間 "H" になる。このデータイネーブル信号に応じて表示データがドットクロックとともに走査の線順次に表示制御回路に供給される。

## 【0003】

【発明が解決しようとする課題】 この種の表示制御回路は、配線数や端子数が増加する傾向にある。また、水平走査周波数が高くなるにつれてドットクロックの周波数も高くなり、配線数の増加がクロストークや S/N 比の低下をまねく。このようなことから、配線の低減のために、水平同期信号、垂直同期信号を受けることなく、データイネーブル信号 DE とドットクロック DCLK のみにより、水平表示スタートの駆動パルス (HSP) をはじめとする各種制御信号を生成することが考えられている。

【0004】 このような考え方に近いものが、先の特開平 8-160922 号に示される表示制御回路である。これは、スタートパルス発生回路を表示制御回路に内蔵させて、データイネーブル信号とドットクロック、水平同期信号 (HSYC)、そして垂直同期信号 (VSYC) を受けて水平、垂直のスタートパルス等を生成する。この回路では、水平のスタートパルスに基づいて水平表示スタートの駆動パルス等の駆動信号を生成しているが、この回路における水平スタートパルスの生成がデータイネーブル信号とドットクロックに応じて行われている。そのためにデータイネーブル信号が断線等で消失した場合には、水平スタートパルスが生成できない。そこで、水平表示スタートの駆動パルスも発生できなくなる。この問題を解決するために、この回路では、1 つ前に発生した水平スタートパルスのタイミングでドットクロック計数回路の計数値を記憶しておき、次のドットクロック計数回路の計数値と記憶した計数値との一致を探ってドットクロック計数回路をリセットするようにしている。このようにすることでデータイネーブル信号がなくとも、ドットクロックを記憶した計数値まで計数させて自己リセットすることができる。これにより、断線前のドットク

3

ロック計数回路の値を記憶値としてドットクロック計数回路を循環的に計数させて、このドットクロック計数回路の計数値に応じて水平表示スタートの駆動パルスを生成している。

【0005】しかし、このような回路では、安全性を確保するためにドットクロック計数回路のリセットを二重に行っているため、表示画面にジッタが発生する問題が生じる。すなわち、一致検出回路により記憶値と現在値との一致を探ってリセット信号を発生させ、これは別に水平スタートパルスによりリセット信号を発生させてドットクロック計数回路を二重にリセットしている。そこで、このような二重化をすると、データイネーブル信号の期間が正確なものではないので水平同期信号ほど正確なタイミングを採り難く、水平表示スタートの駆動パルスの発生タイミングが狂って表示画面にジッタが発生して表示が乱れる問題がある。さらに、従来から水平同期信号は、データイネーブル信号がない期間においても発生させていて、LCDパネル側のドライバ回路は、通常、データイネーブル信号の有無とは関係なしに、水平表示スタートの駆動パルスを所定の周期で受けて動作するようにになっている。そのため、データイネーブル信号についての線の断線とは関係なしにデータイネーブル信号がない期間においても水平表示スタートの駆動パルスを発生させることが必要になる。この発明の目的は、このような問題点を解決するものであって、プログラムによる表示モードの設定に応じて発生するプロセッサ側からのデータイネーブル信号とドットクロックとに応じて水平表示スタートの駆動パルスを初めとして、LCD駆動のための各種制御信号を生成することが容易にでき、データイネーブル信号の期間の変動が表示画面に影響を与えない液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するためのこの発明の液晶表示装置の特徴は、ドットクロックと、表示データとともに発生するデータイネーブル信号とを受けて液晶表示パネルに対する駆動信号を生成する液晶表示装置において、データイネーブル信号の前縁を検出する検出回路と、この検出回路の検出信号に応じてリセットされてデータイネーブル信号の前縁から次に発生するデータイネーブル信号の前縁までの期間におけるドットクロックをカウントするカウンタと、このカウンタがリセットされる手前でこのカウンタのカウンタ値を記憶するレジスタと、このレジスタのカウンタ値とカウンタのカウンタ値との一致を検出する一致検出回路と、この一致検出回路の一致検出信号に応じてデータイネーブル信号が発生しない期間（この期間は表示データによるある画面表示が終了して次の画面表示までの間の期間であって、データイネーブル信号が一時的に無意となり存在しない期間、例えば、「H」有意でLOWレベル（以下「L」）になり、再び「H」になるときの、

4

“L”の期間ではない。）においてのみカウンタをリセットするリセット信号を発生するリセット信号発生回路とを備えていて、カウンタのカウント値に応じて水平表示スタートの駆動パルスが生成されるものである。

【0007】

【発明の実施の形態】このように、一致検出回路の一致検出信号に応じてデータイネーブル信号が発生しない期間にカウンタをリセットするリセット信号発生回路を設けることにより、データイネーブル信号が発生しない期間においてもレジスタに記憶されたカウンタ値に応じて一致検出がなされ、リセット信号発生回路によりカウンタをリセットすることができる。これによりデータイネーブル信号が発生しない期間、言い換えれば、ある画面表示期間が終了してから次の画面表示が開始されるまでの間の期間においても水平表示スタートの駆動パルスを生成することができる。したがって、データイネーブル信号が発生していないことにより画面が乱れることもなく、また、LCDパネル側は、従来の駆動回路そのまま使用することができる。

【0008】さらに、リセット信号発生回路は、データイネーブル信号が発生しない期間にのみリセットパルスを発生するので、データイネーブル信号の前縁を検出する検出回路の検出信号などの重複するリセットがない。そのため表示画面にジッタが発生しない。なお、前記の構成に従えば、LCD画面の表示ドット数よりも若干小さい表示モードのときにも、外側が黒枠表示になって、安定な画面表示を行うことができる。

【0009】

【実施例】図1は、この発明の液晶表示装置を適用した一実施例のブロック図、図2は、図1の回路の動作を説明するタイミングチャート、図3は、この発明の液晶表示装置を適用した他の実施例のブロック図である。10は、LCDであって、1は、そのLCD表示制御回路である。LCD表示制御回路1は、水平表示制御回路2、垂直表示制御回路3とからなり、LCDパネル4を駆動する。LCDパネル4は、ソースドライバ（水平電極駆動回路）41とゲートドライバ（垂直電極駆動回路）42、そして液晶パネル部43とからなる。水平表示制御回路2は、水平表示スタートの駆動パルスHSPと水平クロックHCK、データラッチパルスDLP、表示データHDATA等をソースドライバ41に送出する。ソースドライバ41は、これら信号を受けて水平クロックHCKに応じて表示データHDATAを1水平ライン分受けて、内部レジスタにセットし、データラッチパルスDLPに応じて内部レジスタのデータを各表示水平ドットに対応してバラレルにドライバに出力することで各データ電極を駆動する。

【0010】ゲートドライバ42は、各種駆動制御信号発生回路30（後述）から発生する垂直スタートの駆動パルスVSPと、垂直クロックVCKとを受けて、垂直

5

スタートの駆動パルスVSPをシフトレジスタにセットして垂直クロックVCKに応じてそれを順次シフトすることで垂直電圧を1本ずつ順次駆動していく。LCD表示制御回路1は、パーソナルコンピュータ本体に内蔵されたプロセッサ（あるいはマイコンローラ）側からバス5を介して表示のためのデータDATA（例えば18ビットシリアル）とデータイネーブル信号DEとドットクロックDCLKとを受ける。なお、18ビットのデータは、カラーLCDの場合に、R、G、Bの各色別の輝度データを6ビットとて約26000色を表示する場合である。これらの信号は、水平表示制御回路2に入力される。水平表示制御回路2は、データイネーブル信号DEの立上がり検出回路21と、遅延回路22、ORゲート23と、水平カウンタ24、デコーダ25、レジスタ26、一致検出回路27、ANDゲート28、インバータ29、各種駆動制御信号発生回路30、遅延回路31、そして18ビット×2ビットパラレルデータ変換部32とからなる。

【0011】ドットクロックDCLKは、表示モードに応じた水平走査周波数により決定される周期のパルスであって、通常、そのデューティ比が50%のパルスである。例えば、800×600ドットの 경우에는、データイネーブル信号DEが“H”の期間に800ドット分のドットクロックが発生する周期を持っている。640×480では、それが640ドットになる。このドットクロックDCLKは、端子20aから水平カウンタ24と遅延回路22に入力される。水平カウンタ24は、ドットクロックDCLKをリセットされるまでカウントし、リセットされた後に再びカウントする。

【0012】データイネーブル信号DEは、図2(a)に示す信号であり、端子20bを経て立上がり検出回路21に入力される。検出回路21は、その立上りを検出して検出パルスDE'を発生する（図2(b)参照）。検出パルスDE'は、遅延回路22に入力される。遅延回路22は、一方の入力を受けたドットクロックDCLKに応じてこの検出パルスDE'をあらかじめ設定されたドット数分（図2(c)の遅延量D参照）遅延させる。その遅延出力パルスDDE'は、ORゲート23を経て水平カウンタ24のリセット端子RにリセットパルスRSTとして入力される。これにより水平カウンタ24の値がリセットされる。また、遅延出力パルスDDE'は、レジスタ26の端子Lにロード信号として入力され、水平カウンタ24のカウント値のラッチ信号になる。その結果、リセットされる手前で水平カウンタ24のカウント値がレジスタ26に記憶される。

【0013】水平カウンタ24は、Nビットであり、その所定の桁位置出力がデコーダ25と各種駆動制御信号発生回路30とに加えられる。さらに全桁位置の出力がレジスタ26と一致検出回路27に送出される。デコーダ25からは水平表示スタートの駆動パルスHSPが

6

出力され、ソースドライバ41に送出される。なお、デコーダ25は、水平カウンタ24の桁出力の論理積条件によって、例えば、リセットから5ドットクロック分、水平カウンタ24がドットクロックDCLKをカウントしたときに水平スタートの駆動パルスHSPを発生する。各種駆動制御信号発生回路30はデコーダ25と同様なデコーダと論理回路とからなり、ドットクロックDCLKと水平カウンタ24のカウント値とを受けて水平クロックHCKとラッチパルスDLPとを生成し、これらをソースドライバ41に送出する。また、各種駆動制御信号発生回路30は、垂直スタートの駆動パルスVSPと垂直ドットクロックVCKとを生成してゲートドライバ42に送出する。

【0014】レジスタ26は、図2(c)に示す遅延出力パルスDDE'に応じて水平カウンタ24のカウント値T、あるいはT+aを記憶する（図2(d)参照）。なお、カウント値Tは、データイネーブル信号DEの標準的な期間に対応してのカウント値であり、カウント値T+aは、この期間が延びた場合のカウント値である。一致検出回路27は、現在の水平カウンタ24の1つ手前のカウント値と現在のカウント値とを一致検出する。1つ手前のカウント値は、1つ前の遅延出力パルスDDE'のタイミングでレジスタ26に記憶されたカウント値である。これらが一致したときに一致検出回路27は一致検出信号HRSTを発生する（図2(e)参照）。この一致検出信号HRSTは、ANDゲート28の一方の入力、そしてORゲート23を介して水平カウンタ24のリセット端子にリセットパルスRSTとして入力される。すなわち、一致検出信号は、水平カウンタ24のリセット信号にされる。しかし、これがリセット信号として有意に異なるのは、ANDゲート28が働いているときである。

【0015】ANDゲート28の他方の入力、インバータ29を介してデータイネーブル信号DEを入力端子20aを経て受ける。そこで、データイネーブル信号DEがLOWレベル（以下“L”）のときでない、ANDゲート28は働かない。データイネーブル信号DEが“H”のときには、インバータ29の出力が“L”となるからである。データイネーブル信号DEが“L”となるのは、データイネーブル信号DEと次のデータイネーブル信号DEの間と、プロセス間が表示出力していない、次の画面表示までの画面無表示の期間とに限定される。そして、ANDゲート28が働いたときにはその出力信号HRSTaを発生する（図2(f)参照）。

【0016】ここで、一致検出信号HRSTが発生するタイミングをデータイネーブル信号DEと次のデータイネーブル信号DEの間に限らないように、遅延回路22の遅延量Dを選択的に設定する。もちろん、この遅延量Dは、データイネーブル信号DEのそのときまでの期間

の変動を考慮して決定される。この期間の変動量をここでは、 $\alpha$ とする。なお、 $\alpha$ が負の場合（データインネプ信号DEの期間がカウント値Tより短く場合）には、一致検出信号H R S Tの発生が遅れるので次のデータインネプ信号DEの“H”の期間に入ることになる。したがって、これは必ず阻止される。問題は、期間Tが延びた場合に一致検出信号H R S Tを阻止するように遅延量Dを決定することである。この遅延量Dは、ここでは、 $D > \alpha$ に設定される。ただし、この値 $\alpha$ は、データインネプ信号DEの標準的な期間のカウント値Tに対してデータインネプ信号DEが発生する最大期間のカウント値TMとの差であって、 $\alpha = TM - T$ である。

【0017】このように遅延量D（ $> \alpha$ ）に設定すれば一致検出信号H R S Tは、データインネプ信号DEが“H”の期間において阻止されてANDゲート28から出力信号H R S T aが発生しない。言い換えれば、データインネプ信号DEが発生する期間（これは、データ表示期間であって、一致検出信号の阻止期間になる。）は、一致検出信号H R S Tが阻止される。これによりプロセッサ側が表示データを出していないときに次の画面表示まで表示をしない期間に限って一致検出信号H R S T aに基づいてANDゲート28から出力信号H R S T aを発生させることができる。このときには、もちろん、データインネプ信号DEがないので、立上がり検出回路21から検出パルスDE<sup>1</sup>は発生しない。したがって、これによる水平カウンタ24のリセットパルスR S Tは発生しない。これにより先の特開平8-160922号のように二重にリセットパルスR S Tが発生するようなことはない。その結果、図2（g）に示すようなリセットパルスR S Tを得ることができる。

【0018】すなわち、先の特開平8-160922号のような回路構成を採ると、遅延回路22と一致検出信号H R S Tによるリセットを阻止する回路（ANDゲート28とインバータ29）とのないために、図2

（h）に示すように、リセットパルスR S Tが近接して2回発生することになる。この点、この実施例の回路では、データインネプ信号DEが発生するときに、一致検出信号H R S Tを阻止する回路を設けているので、データインネプ信号が発生する期間（表示データによるある画面表示が行われている期間）の間一致検出信号H R S Tが阻止される。すなわち、図2（e）に示すように、データインネプ信号DEがあるときの一致検出信号H R S Tは、阻止されてリセットパルスR S Tとして現れてこない（図2（g）参照）。しかも、データインネプ信号DEが発生しなくなってもリセットパルスR S Tは、レジスタ26に記憶されたカウント値に対応する所定の周期で発生し続ける（図2（e）参照）。言い換えれば、ある画面表示が終了して次の画面表示までの間の期間（データインネプ信号が一時的に無意となり存在しない期間、例えば、“H”有意でLOWレベル（以下

“L”）になり、再び“H”になるときの、“L”の期間ではない。）においてリセットパルスR S Tが出力信号H R S T aにより発生する。

【0019】この回路では、遅延量Dにより水平カウンタ24は、いずれか一方の信号からリセットを受けるだけでなく、二重のリセットは起こらない。しかも、データインネプ信号DEがない場合にもドットクロックD C L Kに応じて、水平カウンタ24は、データインネプ信号DEがなくなる手前において記憶されたレジスタ26のカウント値を上限として循環的にカウント動作を続けていく。これによって、水平表示スタートの駆動パルスH S Pやその他の駆動パルスは発生し続ける。その結果、ソースドライバ41とゲートドライバ42とは、従来の回路をそのまま用いて動作させることができる。ところで、18ビット×2ビットパラレルデータ変換部32は、シリアル入力された各6ビットのR、G、Bを遅延回路を通し、パラレルに変換する。

【0020】図3は、データインネプ信号DEの期間のうち最大期間に対応するカウント値をレジスタに記憶し、データインネプ信号DEの信号が発生しない期間の間発生する一致検出信号H R S Tを、データインネプ信号DEの最大期間に対応させて発生するようにした実施例である。図3においては、レジスタ26aがレジスタ26と並列に設けられている。さらにレジスタ26aとレジスタ26との値のうち大きい方を出力する大値検出回路34が設けられている。また、一致検出回路27への入力は、レジスタ26aの出力値が採用されている。また、レジスタ26aは、大値検出回路34の出力を受けてリセットパルスR S Tに応じてそれを記憶する。さらに、レジスタ26aの値は、各種駆動信号発生回路30において生成された垂直表示スタートの駆動パルスV S Pを受けてリセットされる。これにより1表示画面ごとに新しい最大値が選択され、データインネプ信号DEの信号が発生しない期間、言い換えれば、1画面の表示を行わない次の画面表示までの間の期間において、最大値に応じて発生する一致検出信号H R S Tに基づいて水平カウンタ24に対するリセットパルスR S Tを発生する。

【0021】このような構成においては、レジスタ26aには、1画面分の表示期間においてデータインネプ信号DEが最大となる期間がレジスタ26aに記憶されてデータインネプ信号DEが発生していない期間、すなわち、表示画面の終了から次の表示画面の表示までの間の期間に入る。そして、このデータインネプ信号DEが発生しない期間では、この最大期間に合わせた周期でリセットパルスR S Tが発生する。このようにする利点は、次の画面の表示期間における乱れを防止するためである。すなわち、データインネプ信号DEが発生していない期間の間、レジスタ26のカウント値に従う周期でリセットパルスR S Tがいくつも発生すると、こ

のいくつも発生するリセットパルスRSTの周期が万が一短くと、トータルとして次の画面表示期間の開始時点で手前にリセットパルスRSTの位置がずれることがある。これにより表示画面が乱れる。しかし、一致検出信号H RSTを最大期間に合わせておけば、次の画面の表示期間においては、一致検出信号H RSTの発生タイミングが遅れることで次の画面の表示期間の最初のデータイネーブル信号DEの信号の“H”の期間に確実に入り、一致検出信号H RSTが確実に阻止され、一致検出信号H RSTによるリセットパルスRSTは発生しないからである。

【0022】以上説明してきたが、実施例の遅延回路22と、ANDゲート28、そしてインバータ29とは、この発明における一致検出回路の一致検出信号に応じてデータイネーブル信号が発生しない期間に水平カウンタ25をリセットするリセット信号発生回路を構成している。しかし、この発明によるリセット信号発生回路は、データイネーブル信号が発生しない期間、言い換えれば、現在の画面表示期間と次の画面表示期間との間の期間にのみ一致検出信号に応じてリセット信号を発生するような回路であればどのような回路であってもよい。

#### 【0023】

【発明の効果】以上説明してきたように、この発明においては、一致検出回路の一致検出信号に応じてデータイネーブル信号が発生しない期間にカウンタをリセットするリセット信号発生回路を設けることにより、データイネーブル信号が発生しない期間においてもレジスタに記憶されたカウンタ値に応じて一致検出がなされ、リセット信号発生回路によりカウンタをリセットすることができるので、データイネーブル信号が発生していない期

間、言い換えれば、ある画面表示期間が終了してから次の画面表示が開始されるまでの間の期間においてもの水平表示スタートの駆動パルスを生成することができる。その結果、データイネーブル信号が発生していないことにより画面が乱れることもなく、また、LCDパネル側は、従来の駆動回路をそのまま使用することができる。しかも、データイネーブル信号が存在する期間とデータイネーブル信号が存在しない期間をデータイネーブル信号のレベルにより区別し、同様にリセット信号を区別し生成しているため、データイネーブル信号の期間の変動の影響を受け難い。

#### 【図面の簡単な説明】

【図1】図1は、この発明の液晶表示装置を適用した一実施例のブロック図である。

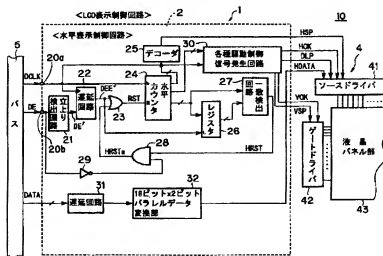
【図2】図2は、図1の回路の動作を説明するタイミングチャートである。

【図3】図3は、この発明の液晶表示装置を適用した他の実施例のブロック図である。

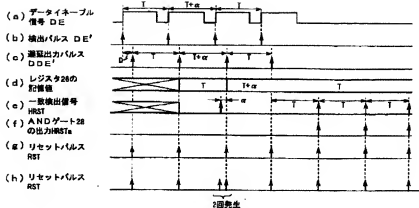
#### 【符号の説明】

1…LCD表示制御回路、2…水平表示制御回路、3…垂直表示制御回路、4…LCDパネル、5…バス、10…LCD、21…立上がり検出回路、22、31…遅延回路、23…ORゲート、24…水平カウンタ、25…デコーダ、26…レジスタ、27…一致検出回路、28…ANDゲート、29…インバータ、30…各種駆動制御信号発生回路、32…18ビット×2ビットパラレルデータ変換部、34…大値検出回路、41…ソースドライバ（水平電極駆動回路）、42…ゲートドライバ（垂直電極駆動回路）、43…液晶パネル部。

【図1】



【図2】



【図3】

